

3/5/1 (Item 1 from file: 351)
DIALOG(R) File 351: Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

012225391 **Image available**
WPI Acc No: 1999-031497/ 199903
XRPX Acc No: N99-024575

Traffic controlling system in ATM communication network - controls
address read out from cell buffer and counter based on output timing of
each cell, as discriminated by virtual channel and virtual path timing
discrimination unit

Patent Assignee: OKI ELECTRIC IND CO LTD (OKID)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 10294741	A	19981104	JP 97103154	A	19970421	199903 B

Priority Applications (No Type Date): JP 97103154 A 19970421

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 10294741	A	8	H04L-012/28	

Abstract (Basic): JP 10294741 A

The system comprises a cell buffer (40) which stores ATM cell irrespective of a virtual channel identifier or virtual path identifier attached to the cell. A counter counts the number of cells stored in the buffer. A virtual channel timing discrimination unit identifies the virtual channel identifier or virtual path identifier of cells output through the counting unit, distinguishes time required for cell to be conveyed through virtual channel.

A virtual path timing discrimination unit identifies cells to which virtual path identifier is attached and distinguishes time required for cell to pass through virtual path. Based on the output of the two discrimination units, and output timing of each cell, a read out control unit controls the counter and address reading of the cell buffer.

ADVANTAGE - Enables identifying cells with virtual path identifier and virtual channel identifier simultaneously.

Dwg.1/4

Title Terms: TRAFFIC; CONTROL; SYSTEM; ATM; COMMUNICATE; NETWORK; CONTROL; ADDRESS; READ; CELL; BUFFER; COUNTER; BASED; OUTPUT; TIME; CELL;

DISCRIMINATE; VIRTUAL; CHANNEL; VIRTUAL; PATH; TIME; DISCRIMINATE; UNIT

Derwent Class: W01

International Patent Class (Main): H04L-012/28

International Patent Class (Additional): H04Q-003/00

File Segment: EPI

3/5/2 (Item 1 from file: 347)
DIALOG(R) File 347: JAPIO
(c) 2004 JPO & JAPIO. All rts. reserv.

06011641 **Image available**
TRAFFIC-SHAPING DEVICE IN ATM COMMUNICATION NETWORK

PUB. NO.: 10-294741 A]

PUBLISHED: November 04, 1998 (19981104)

INVENTOR(s): MIZUNO HIROYASU

APPLICANT(s): OKI ELECTRIC IND CO LTD [000029] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 09-103154 [JP 97103154]

FILED: April 21, 1997 (19970421)

INTL CLASS: [6] H04L-012/28; H04Q-003/00

JAPIO CLASS: 44.3 (COMMUNICATION -- Telephony); 44.4 (COMMUNICATION -- Telephone)

ABSTRACT

PROBLEM TO BE SOLVED: To simultaneously shape a virtual channel (VC), together with a virtual pass (VP) and also to prevent erroneous setting of time by inputting plural VCs to a single input line and smoothing the amount of information that flows on a specific path to multiplex plural inputted cells and to transfer them.

SOLUTION: A VC timing discriminating part 100 simultaneously smoothes a cell to which a virtual channel identifier (VCI) and a virtual path identifier (VPI) which are supplied a cell number counter 45 in a buffer separately added and discriminates an output enable time in the virtual channel, and a VP timing discriminating part receives an output of the part 100 and discriminates the output enable time of a cell that has a VPI. A read control memory 60 controls the counter 45 in the buffer and performs address read control of a shared cell buffer 40.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-294741

(43) 公開日 平成10年(1998)11月4日

(51) Int. Cl.⁶

H 0 4 L 12/28

H 0 4 Q 3/00

識別記号

F I

H 0 4 L 11/20

H 0 4 Q 3/00

G

審査請求 未請求 請求項の数6 O L (全 8 頁)

(21) 出願番号

特願平9-103154

(22) 出願日

平成9年(1997)4月21日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 水野 宏泰

東京都港区虎ノ門1丁目7番12号 沖電気

工業株式会社内

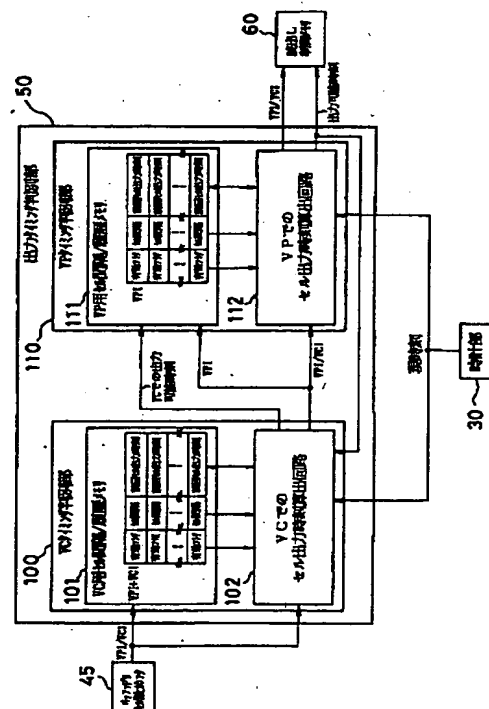
(74) 代理人 弁理士 工藤 宣幸

(54) 【発明の名称】 ATM通信網におけるトラフィックシェイピング装置

(57) 【要約】

【課題】 ATM通信網においてVPとVCとを同時にシェイピングできると共に時刻設定を誤ることのないトラフィックシェイピング装置を提供する。

【解決手段】 ATM通信網におけるトラフィックシェイピング装置は、入力された複数のセルを多重して転送するため、複数のVCを1つの入力ラインに入力して特定経路上を一定時間に流れる情報量を平滑化する。そのため、バッファ内セル数カウンタを介して供給されるVCIとVPIとがそれぞれ付されたセルを同時に平滑化してVCにおける出力可能時刻を判別するVCタイミング判別部と、その出力を受け入れてVPIの付されたセルの出力可能時刻を判別するVPタイミング判別部とを備え、判別されたVCI/VPIとセルの出力可能時刻とに基づきカウンタおよび共有型セルバッファのアドレス読み出しを制御する読出し制御メモリ手段を備える。



【特許請求の範囲】

【請求項1】 入力された複数のセルを多重して転送するため、複数の仮想チャネルを1つの入力ラインに入力して特定経路上を一定時間に流れる情報量を平滑化するATM通信網におけるトラフィックシェイピング装置において、

共有型セルバッファ内に設けられて、入力ラインを介して入力されたATMセルを仮想チャネル識別子が付されたセルか仮想バス識別子が付されたセルかを問わず蓄積する記憶手段と、

前記バッファ内に蓄積されているセル数を計数する計数手段と、

前記計数手段を介して供給される仮想チャネル識別子と仮想バス識別子とがそれぞれ付されたセルを同時に平滑化して仮想チャネルにおける出力可能時刻を判別する仮想チャネル用タイミング判別手段と、

前記仮想チャネル用タイミング判別手段の出力を受け入れて仮想バス識別子の付されたセルの出力可能時刻を判別する仮想バス用タイミング判別手段と、

前記仮想バス用タイミング判別手段により判別された仮想チャネル識別子および仮想バス識別子とそれぞれのセルの出力可能時刻とに基づいて、前記計数手段の制御および前記共有型セルバッファのアドレス読み出し制御を行なう読み出し制御メモリ手段とを備えることを特徴とするATM通信網におけるトラフィックシェイピング装置。

【請求項2】 前記仮想チャネル用タイミング判別手段は、仮想バス識別子と仮想チャネル識別子との各対に対する有効フラグ、セル間隔、前回セル出力時刻を記憶する仮想チャネル用セル間隔／履歴メモリと、この仮想チャネル用セル間隔／履歴メモリの出力する情報に基づいて次回セル出力時刻を算出する仮想チャネル用出力時刻算出回路とを備えると共に、

前記仮想バス用タイミング判別手段は、各仮想バス識別子に対する有効フラグ、セル間隔、前回セル時刻を記憶する仮想バス用セル間隔／履歴メモリと、この仮想バス用セル間隔／履歴メモリの出力する情報に基づいて次回セル出力時刻を算出する仮想バス用出力時刻算出回路とを備えることを特徴とする請求項1に記載のATM通信網におけるトラフィックシェイピング装置。

【請求項3】 前記仮想チャネル用セル間隔／履歴メモリに記憶されている前記有効フラグは仮想バス識別子および仮想チャネル識別子の前記各対に関する前回セル出力時刻が有効か無効かを表示するものであり、前記セル間隔は予め定められた使用帯域に対応した仮想チャネルに関する読み出し周期であるセル間隔の時間であり、また、前回セル出力時刻は仮想バス識別子および仮想チャネル識別子の前記各対に関して前記読み出し制御メモリ手段に前回出力した前記出力可能時刻であることを特徴とする請求項2に記載のATM通信網におけるトラフィッ

クシェイピング装置。

【請求項4】 前記有効フラグは各仮想バス識別子に関する前回セル出力時刻が有効か無効かを表示するものであり、前記セル間隔は予め定められた使用帯域に対応した仮想バスに関する読み出し周期であり、また、前回セル出力時刻は各仮想バス識別子に関して前記読み出し制御メモリ手段に前回出力した出力可能時刻であることを特徴とする請求項2に記載のATM通信網におけるトラフィックシェイピング装置。

10 【請求項5】 前記仮想チャネル用出力時刻算出回路は、前記有効フラグが有効を表示している場合には、前記仮想バス識別子／仮想チャネル識別子の各対に該当する前回セル出力時刻に対してセル間隔を足し合わせて、この時刻が現時刻より後の時刻を指定していればこの時刻を次の出力可能時刻とし、前記足し合わせた時刻が現時刻より前の時刻であれば現時刻が仮想チャネルでの次の出力可能時刻として、この出力可能時刻と該当仮想バス識別子／仮想チャネル識別子の各対を前記仮想バス用タイミング判別手段に出力することを特徴とする請求項2に記載のATM通信網におけるトラフィックシェイピング装置。

20 【請求項6】 前記仮想バス用セル出力時刻算出回路は、前記有効フラグが有効を表示している場合には、仮想バス識別子に該当する前回セル出力時刻に対してセル間隔を足し合わせて、この時刻が時計手段より入力される現時刻より後の時刻を指していればこの時刻を仮想バスでの次の出力時刻とし、前記足し合わせた時刻が現時刻より前の時刻であれば現時刻を仮想バスでの次の出力可能時刻として、この出力可能時刻と該当仮想バス識別子／仮想チャネル識別子の各対を前記読み出し制御メモリ手段へ出力することを特徴とする請求項2に記載のATM通信網におけるトラフィックシェイピング装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ATM通信網におけるトラフィックシェイピング装置に係り、特に、仮想チャネル識別子と仮想バス識別子とを付されて非同期転送モード通信網を介して転送されてくるATMセルの入力トラフィックを出力する際に平滑化（シェイピング）するATM通信網におけるトラフィックシェイピング装置に関する。

【0002】

【従来の技術】 近年、非同期転送モード（以下、ATM—Asynchronous Transfer Mode—と略記する）によるデジタル通信網を用いて映像、音声、コンピュータ等の情報を総合的に通信する総合サービスデジタル網（以下、ISDN—Integrated Services Digital Network—と略記する）が広く利用されるようになってきている。このATM通信網においては、上記情報は、ATMセルまたはセルと呼ばれる固定長のパケットにより転送

されている。

【0003】このセルは、5バイトのヘッダ部と、48バイトのデータ部とから構成されており、ヘッダ部内には、予め定められた仮想チャネル（以下、必要に応じてVC—Virtual Channel—または論理チャネルという）を識別するための仮想（論理）チャネル識別子（以下、VCI—Virtual channel Identifier—と略記する）と、前記VCを複数束ねた仮想パス（以下、必要に応じてVP—Virtual Path—または論理パスという）を識別するための仮想（論理）パス識別子（以下、VPI—Virtual Path Identifier—と略記する）とが含まれている。

【0004】上記ATM通信網においては、VCIやVPI等の識別子によりスイッチングや伝送路の切り換えが行なわれており、また、個々の仮想パスは、上述のように複数の仮想チャネルを含んでいるので、これらの仮想チャネルまたは仮想パスには予めユーザからの申告によりトラフィック特性が定められており、これによって1つの伝送路に複数の仮想パスまたは1つの仮想パスで複数の仮想チャネルを統計多重させている。ここで、トラフィックとは、特定の経路上を一定時間に流れる情報の量をいう。

【0005】上記のように、統計多重されて入力されたトラフィック（一定情報量）を出力する際に、後段の網装置またはユーザ装置が許容しているトラフィック特性に合わせてシェイピング（平滑化）して送出しなければ、セル廃棄が発生してしまうことになる。したがって、ATM通信網においては、このような入力トラフィックと許容トラフィックとの間の差異にも拘わらず、セル廃棄をできるだけ発生させないようにすることが必要である。

【0006】図2は、従来のトラフィックシェイピング装置の概略構成を示すブロック図である。

【0007】同図において、トラフィックシェイピング装置200は、出力タイミング部201と、読出し制御部202と、時計部203と、入力ライン204と、出力ライン205と、共有型セルバッファ206と、を備えている。前記共有型セルバッファ206は、セルメモリ260と、書込み制御部261と、アドレス管理メモリ262と、読出し制御部263と、バッファ内セル数カウンタ264と、を備えている。

【0008】上記構成を備える従来のトラフィックシェイピング装置の動作を説明する。図2において、まず、入力ライン204から統計多重されたセルが入力されると、共有型セルバッファ206内の書込み制御部261が、アドレス管理メモリ262からセルメモリ内空きアドレスを取得して出力する書込みアドレスに従ってセルメモリ260にセルを書き込むように制御する。また、書込み制御部261は、入力セルのVPI（またはVCI）を識別して、そのVPI（またはVCI）をアドレ

ス管理メモリ262に書き込むように制御する。

【0009】前記アドレス管理メモリ262は、セルメモリ260内の空きアドレスを管理するテーブルと、VPI（またはVCI）毎に分けられた領域内に各VPI（またはVCI）に対応するセルのメモリ内アドレスがセルの入力ラインからの入力順に格納されるテーブルをと、を備えている。

【0010】バッファ内セル数カウンタ264は、VPI（またはVCI）毎のセルメモリ内のセル数を有しており、書込み制御部261がアドレス管理メモリ262からアドレスを受け取ると同時に該当VPI（またはVCI）のセル数が1つインクリメントされ、また、出力ライン205にセルを出力する際に読出し制御部263がアドレス管理メモリ262からアドレスを受け取ると同時に該当VPI（またはVCI）のセル数が1つデクリメントされることになる。セル数が0から1にインクリメントされた場合およびセル数が0以外にデクリメントされた場合に、セル数が変化したVPI（またはVCI）を出力タイミング判別部201に出力する。

【0011】出力タイミング判別部201はVPI（またはVCI）毎に予め定められた使用帯域に対応した読出し周期（セル間隔の時間）が設定されており、バッファ内セル数カウンタ264から受け取るVPI（またはVCI）に該当する前回読み出した時の時刻（同じVPI（またはVCI）に関して読み出し制御メモリ202に前回出力した出力可能時刻）に対して読出し周期を加算した時刻が次の出力可能時刻となる。出力タイミング判別部201は、この出力可能時刻と該当VPI（またはVCI）を讀出し制御メモリ202へ出力する。

【0012】バッファ内セル数カウンタ264が出力タイミング判別部201にVPI（またはVCI）を出力すると同時に、セル数のインクリメントとデクリメントとが同時に発生した場合には、時分割してセル数のインクリメントを先に出力タイミング判別部201に出力することにより、出力タイミング判別部201は常に1つの判別を行なうだけでよく、また、読出し制御メモリ202内には常に1つ以上の空きがあるため必ず出力可能時刻の書き込みを行なうことができる。

【0013】読出し制御メモリ202は、受け取った出力可能時刻をアドレスとしてVPI（またはVCI）をデータとして書き込むが、同じアドレス（出力可能時刻）が既に書き込まれている場合は、その時刻の直後の空き時刻を見つけてその時刻を書き込むことになる。

【0014】セルが出力される動作について説明すると、まず、時計部203の現時刻がインクリメントされるたび毎に、読出し制御メモリ202は、時計部203から現時刻を受け取り、これがアドレスとして書き込まれている場合のみデータを読み出すようにしている。読み出されたVPI（またはVCI）を共有型セルバッファ206内の読出し制御部263に出力し、読出し制御

部263はアドレス管理メモリ262から該当VPI (またはVCI) 領域内の先頭セルのセルバッファアドレスを読み出し、これをセルメモリ260に出力し、セルメモリ260はこれをアドレスとしてセルバッファ206からセルを読み出して出力ライン205にセルを出力する。

【0015】読出し制御メモリ202は、時刻(アドレス)の収容数により設定できる帯域が決定されるので、出力ラインの最大帯域がaでアドレスがbとすると、
「 $a \times n / b$ ($n=1 \sim n$)」の帯域が設定することができ、低帯域のセルがバースト的に入力された場合でもそのすべてのセルを書き込めるだけの容量を有している。

【0016】以上のようにして、入力ライン204から入力されたセルは、各VPI (またはVCI) 毎に予め設定された使用帯域に収まるように出力ライン205への出力周期が調整されてトラフィックのシェイピング(情報量の平滑化)を実現することができる。

【0017】次に、上記出力タイミング判別部201に構成について、図3を参照しながら説明する。図3に示すように、出力タイミング判別部201は、セル間隔/履歴メモリ301と、セル出力時刻算出回路302と、を備えている。この構成に基づく動作について説明する。

【0018】バッファ内セル数カウンタ264から出力されたVPI (またはVCI) がセル出力時刻算出回路302に入力されると、このVPI に該当しているセル間隔(Ti) および前回セル出力時刻(Tb) がセル間隔/履歴メモリ301から読み出される。ここで、セル間隔および前回セル出力時刻(Ti+Tb) が次に送出したい時刻を表すので、セル出力時刻算出回路302は、次に送出したい時刻(Ti+Tb) と時計部203から入力される現時刻(T) とを比較する。

【0019】上記の比較の結果が「 $Ti + Tb \geq T$ 」の場合には、現時刻以後の時刻である「 $Ti + Tb$ 」の時刻に出力できるので、セル出力時刻算出回路302は「 $Ti + Tb$ 」を出力可能時刻として算出する。したがって、セル出力時刻算出回路302は、読出し制御メモリ202へVPI (VCI) と共に「 $Ti + Tb$ 」を出力する。また、比較結果が「 $Ti + Tb < T$ 」の場合には現時刻よりも以前に出力できる時刻が既に過ぎてしまっているので、現時刻Tを出力可能時刻として読出し制御メモリ202へVPI (またはVCI) と共に現時刻Tを出力する。

【0020】上記の動作により、それぞれの仮想チャネル(VP) または仮想バス(VC) 毎に決められたセル間隔以上の間隔においてセルを出力することができるので、トラフィック特性に従ったシェイピングを可能にしている。

【0021】

【発明が解決しようとする課題】 上述のように、ATM通信網において複数の加入者(ユーザ) から入力されたセルを多重して転送する場合には、複数の仮想チャネル(VC) をそれぞれが含む複数の仮想バス(VP) を1つの入力ラインで転送するために入力されたVPまたはVCに対してトラフィックシェイピングを行なう必要がある。

【0022】しかしながら、上記従来のトラフィックシェイピング装置によれば、VPまたはVCの何れか一方のみのシェイピングを行なっているために、VPとVCの両方を同時にシェイピングすることができないという問題を有していた。

【0023】また、読出し制御メモリ202内のテーブル数を1周してもまだセルが入力されてこない場合には前回セル出力時刻の値が1周期前の値を使用しているために現在動作中の周期内での時刻との区別をつけることができず、誤った時刻設定をしてしまうという問題もあった。

【0024】本発明は、VPとVCとを同時にシェイピングできると共に時刻設定を誤ることのないATM通信網におけるトラフィックシェイピング装置を提供することを目的としている。

【0025】

【課題を解決するための手段】 上記目的を達成するため、本発明に係るATM通信網におけるトラフィックシェイピング装置は、入力された複数のセルを多重して転送するため、複数の仮想チャネルを1つの入力ラインに入力して特定経路上を一定時間に流れる情報量を平滑化するものにおいて、共有型セルバッファ内に設けられて、入力ラインを介して入力されたATMセルを仮想チャネル識別子が付されたセルか仮想バス識別子が付されたセルかを問わず蓄積する記憶手段と、前記バッファ内に蓄積されているセル数を計数する計数手段と、前記計数手段を介して供給される仮想チャネル識別子と仮想バス識別子とがそれぞれ付されたセルを同時に平滑化して仮想チャネルにおける出力可能時刻を判別する仮想チャネル用タイミング判別手段と、前記仮想チャネル用タイミング判別手段の出力を受け入れて仮想バス識別子の付されたセルの出力可能時刻を判別する仮想バス用タイミング判別手段と、前記仮想バス用タイミング判別手段により判別された仮想チャネル識別子および仮想バス識別子とそれぞれのセルの出力可能時刻とに基づいて、前記計数手段の制御および前記共有型セルバッファのアドレス読み出し制御を行なう読出し制御メモリ手段とを備えることを特徴としている。

【0026】

【発明の実施の形態】 以下、本発明に係るATM通信網におけるトラフィックシェイピング装置の好適な実施の形態について図1に従い詳細に説明する。

【0027】図1は、この発明の一実施形態に係るトラ

フィックシェイピング装置の要部としての出力タイミング判別部の構成を示すブロック図である。

【0028】図1において、出力タイミング判別部50は、仮想バス識別子(VPI)と仮想チャネル識別子(VCI)との各ペアにおける仮想チャネル(VC)に対するセル出力時刻を算出する仮想チャネル(VC)タイミング判別部100と、仮想バス識別子(VPI)のみを用いて仮想バス(VP)に対するセル出力時刻を算出する仮想バス(VP)タイミング判別部110とを備えている。

【0029】VCタイミング判別部100は、仮想バス識別子(VPI)と仮想チャネル識別子(VCI)の各ペアに対する有効フラグ、セル間隔、前回セル出力時刻等を格納するVC用セル間隔/履歴メモリ101と、このVC用セル間隔/履歴メモリ101から供給される情報に基づいて次回セルの出力時刻を算出するVCにおけるセル出力時刻算出回路102と備えている。

【0030】また、VPタイミング判別部110は、各VPIに対する有効フラグ、セル間隔、前回セル出力時刻等を格納するVP用セル間隔/履歴メモリ111と、このVP用セル間隔/履歴メモリ111から供給される情報に基づいて次回セルの出力時刻を算出するVPにおけるセル出力時刻算出回路112とを備えている。

【0031】前記VCタイミング判別部100は、VPIとVCIのペアを用いてVCに対するセル出力時刻を算出する構成要素であり、また、VPタイミング判別部110は、VPIのみでVPに対するセル出力時刻を算出する構成要素である。

【0032】上記VC用セル間隔/履歴メモリ101には、上述のようにVPIとVCIの各ペアに対する有効フラグ、セル間隔、前回セル出力時刻等が格納されており、前記有効フラグは各VPI/VCIのペアに関する前回セル出力時刻が有効か無効かを表示するものであり、前記セル間隔は予め定められた使用帯域に対応したVCに関する読み出し周期(セル間隔の時間)であり、また、前回セル出力時刻は各VPI/VCIペアに関して前回出力した時刻(読出し制御メモリ60へ前回出力した出力可能時刻)である。VCセル出力時刻算出回路102は、VC用セル間隔/履歴メモリ101からの情報に基づいて次回セル出力時刻を算出する回路である。

【0033】同様に、上記VP用セル間隔/履歴メモリ111には、上述のように各VPIに対する有効フラグ、セル間隔、前回セル出力時刻等が格納されており、前記有効フラグは各VPIに関する前回セル出力時刻が有効か無効かを表示するものであり、前記セル間隔は予め定められた使用帯域に対応したVPに関する読み出し周期(セル間隔の時間)であり、また、前回セル出力時刻は各VPIに関して前回出力した時刻(読出し制御メモリ60へ前回出力した出力可能時刻)を意味している。前記VPセル出力時刻算出回路112は、VP用セ

ル間隔/履歴メモリ111からの情報に基づいて次回セル出力時刻を算出する回路である。

【0034】上記構成を有する出力タイミング判別部50は、図4に示されるATM通信網におけるトラフィックシェイピング装置に設けられている。図4に示されるトラフィックシェイピング装置の全体構成は、図2を用いて説明した従来のトラフィックシェイピング装置の構成とほとんど同一である。

【0035】図4において、共有型セルバッファ40は、入力ライン21を介して入力される統計多重されたセルが所定の書き込みアドレスにより書込まれるセルメモリ41と、セルメモリ内空きアドレスを取得して前記書き込みアドレスをセルメモリ41に出力する書き込み制御部42と、前記書き込み制御部42に前記セルメモリ内空きアドレスを出力するアドレス管理メモリ43と、前記アドレス管理メモリ43からアドレスを受け取ると同時に該当するVPI(またはVCI)のセル数を1つデクリメントする読出し制御部44と、前記書き込み制御部42がアドレス管理メモリ43からアドレスを受け取ると同時に該当VPI(またはVCI)のセル数を1つインクリメントすると共に、前記読出し制御部44がアドレス管理メモリ43からアドレスを受け取るとセル数を1つデクリメントするバッファ内セル数カウンタ45とを備えている。

【0036】なお、この実施形態に係るATM通信網におけるトラフィックシェイピング装置は、上記構成の他に出力ライン22と、時計部30と、読み出し制御メモリ60とを備えている。

【0037】上記構成を有する本発明の一実施形態に係るATM通信網におけるトラフィックシェイピング装置の動作について、図1に示す出力タイミング判別部の動作を中心に説明する。

【0038】図1および図4において、バッファ内セル数カウンタ45からVPI/VCIがVCタイミング判別部100に入力されると、VC用セル間隔/履歴メモリ101から該当VPI/VCIに関する有効フラグ、セル間隔および前回セル出力時刻がセル出力時刻算出回路102へ出力される。

【0039】セル出力時刻算出回路102は、有効フラグが有効を表示している場合には、VPI/VCIペアに該当する前回セル出力時刻に対してセル間隔を足し合わせて、この時刻が時計部30から供給される現時刻より後の時刻を指定していればこの時刻が次の出力可能時刻となり、前記足し合わせた時刻が現時刻より前の時刻であれば現時刻がVCでの次の出力可能時刻となり、この出力可能時刻と該当VPI/VCIペアをVPタイミング判別部110に出力する。

【0040】有効フラグが無効を表示している場合には、VPI/VCIペアに該当する前回セル出力時刻を使用しないで、代わりに時計部30から入力される現時

刻に対してセル間隔を足し合わせた時刻が、VCにおける次の出力可能時刻となり、この出力可能時刻と該当VPI/VC IペアをVPタイミング判別部110へ出力する。

【0041】次に、VCタイミング判別部100からVPI/VC IがVPタイミング判別部110に入力されると、VP用セル間隔/履歴メモリ11から該当VPIに関する有効フラグ、セル間隔および前回セル出力時刻がVPでのセル出力時刻算出回路112へ出力される。VP用セル出力時刻算出回路112は、有効フラグが有効を表示している場合には、VPIに該当する前回セル出力時刻に対してセル間隔を足し合わせて、この時刻が時計部30より入力される現時刻より後の時刻を指していればこの時刻がVPでの次の出力時刻となり、前記足し合わせた時刻が現時刻より前の時刻であれば現時刻がVPでの次の出力可能時刻となり、この出力可能時刻と該当VPI/VC Iペアを読み出し制御メモリ60へ出力する。

【0042】有効フラグが無効を表示している場合には、VPIに該当する前回セル出力時刻を使用しないで、その代わりに時計部30より供給される現時刻にセル間隔を足し合わせた時刻がVPにおける次の出力可能時刻となり、この出力可能時刻と該当VPI/VC Iペアを読み出し制御メモリ60へ出力する。また、出力可能時刻を前回セル出力時刻にオーバーライトすることにより最新の前回セル出力時刻を維持し、VCでのセル出力時刻算出回路102にフィードバックすることによりVC用前回セル出力時刻を更新してVC用も最新の出力可能時刻を維持させることも可能である。この動作により、VPに関するトラフィックのシェイピングが行なわれることになる。

【0043】VCタイミング判別部100およびVPタイミング判別部とも有効フラグ情報は以上の動作とは別個に周期的にチェックされ、また更新されている。前回セル出力時刻にセル間隔を足し合わせた時刻が時計部から入力される現時刻よりも前の時刻になる場合には、該当有効フラグを無効に設定する。この動作を図4に示される読み出し制御メモリ60の時刻を1周する前に各々1回以上は行なうものとする。

【0044】上記実施形態のトラフィックシェイピング装置によれば、VCシェイピングを実施した情報を維持したままVPシェイピングを行なうことができ、複数の加入者から入力されたセルを多重して転送しても、複数のVCを含む複数のVPを1つの入力ラインに入力してトラフィックシェイピングを行なうことができる。

【0045】また、各セル間隔/履歴メモリに有効フラグを設けることにより、読み出し制御メモリ内のテーブルを1周してもまだ入力セルが入力されない場合には、前回セル出力時刻の値が無効にされるため1周期前の値を使用することが無くなり、現在動作中の周期内での時刻

となり、誤った時刻設定をすることが無くなる。

【0046】上述した一実施形態に係るATM通信網におけるトラフィックシェイピング装置においては、複数の加入者から入力されたセルを多重して転送するために複数の仮想チャネル(VC)を含む複数の仮想バス(VP)を1つの入力ラインから入力して、VCとVPとの両方を同時にトラフィックシェイピングする例について説明したが、ユーザが複数のVPを契約して使用する場合には、ユーザ装置がATM通信網へデータを送信する際の帯域制御装置についても本発明のトラフィックシェイピング装置を適用することができる。

【0047】また、図1のVCにおけるセル出力時刻算出回路102の出力であるVCでの出力可能時刻を読み出し制御メモリ60に直接出力することのできるセレクトを設けるだけで、VC専用のトラフィックシェイピング装置として使用することもできる。

【0048】また、前記セレクトの他に、VPのみトラフィックシェイピングしたいVPIについてはVC Iをマスクした情報を、VCのみトラフィックシェイピングしたいVC IについてはVP Iをマスクした情報を、それぞれVCタイミング判別部に設定しておいて、バッファ内セル数カウンタ45から入力されるVPI/VC Iも同様なマスクをしてVCタイミング判別部に入力させるだけで、VPのみおよびVCのみのトラフィックシェイピングを行なうことができることになり、VP専用あるいはVC専用のシェイピングを混在させたトラフィックシェイピング装置として利用することができる。

【0049】また、前記マスク機構を用いてマスクされたVPまたはVCのみをセレクトにより直接読み出し制御メモリ60に出力するようにして、VPとVCの両方をシェイピングすべきVPI/VC Iについてはマスクしないように構成するだけで、VPのみおよびVCのみのシェイピングの他に、VPとVCとを同時にシェイピングすることができることになり、VP専用およびVC専用並びにVP/VC両方の混在型のトラフィックシェイピング装置として利用できる。

【0050】

【発明の効果】以上詳細に説明したように、本発明に係るATM通信網におけるトラフィックシェイピング装置によれば、VCシェイピングを実施した情報を維持したままVPシェイピングを行なうことができ、複数の加入者から入力されたセルを多重して転送しても、複数のVCを含む複数のVPを1つの入力ラインに入力してトラフィックシェイピングを行なうことができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るATM通信網におけるトラフィックシェイピング装置の要部としての出力タイミング判別部の構成を示すブロック図である。

【図2】従来のATM通信網におけるトラフィックシェイピング装置の全体構成を示すブロック図である。

【図3】従来のトラフィックシェイピング装置の要部としての出力タイミング判別部の構成を示すブロック図である。

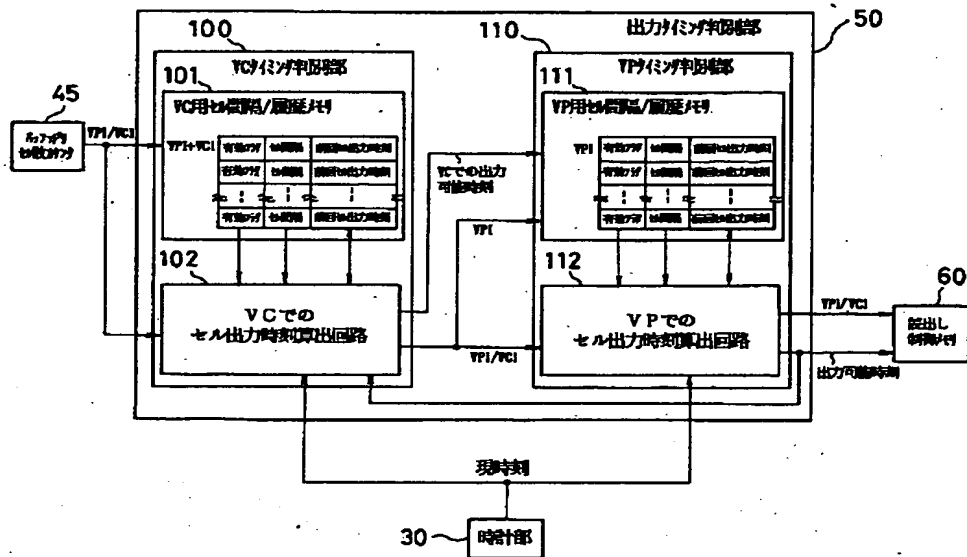
【図4】本発明の一実施形態に係るATM通信網におけるトラフィックシェイピング装置の全体構成を示すブロック図である。

【符号の説明】

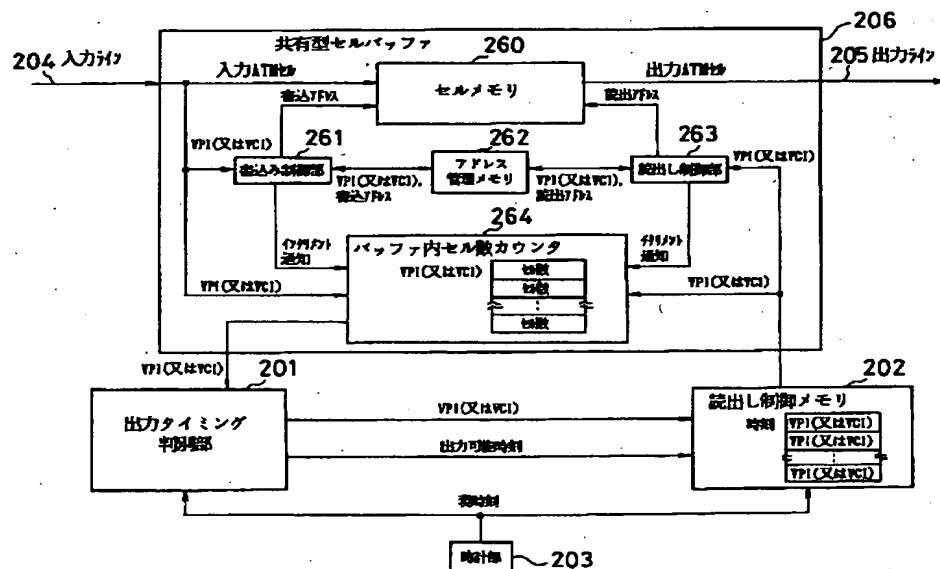
21…入力ライン、22…出力ライン、30…時計部、

40…共有セルバッファ、41…セルメモリ、42…書込み制御部、43…アドレス管理メモリ、44…読出し制御部、45…バッファ内セル数カウンタ、50…出力タイミング判別部、60…読出し制御メモリ、100…VCタイミグ判別部、101…VC用セル間隔/履歴メモリ、102…VCセル出力時刻算出回路、110…VPタイミグ判別部、111…VP用セル間隔/履歴メモリ、112…VPセル出力時刻算出回路。

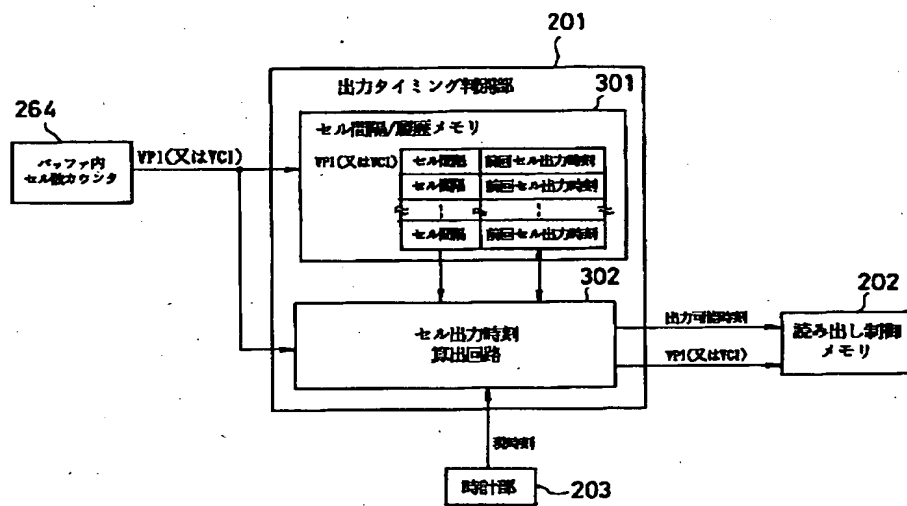
【図1】



【図2】



【図3】



【図4】

